

**KOREAN INDUSTRIAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

Application Number: **2002-67745**

Date of Application: **4 November 2002**

Applicant(s): **Samsung Electronics Co., Ltd.**

12 June 2003

COMMISSIONER

PATENT APPLICATION

[Document Name]	Patent Application
[Application Type]	Patent
[Receiver]	Commissioner
[Reference No.]	0021
[Filing Date]	2002.11.04.
[IPC]	H01L
[Title]	Output Buffer Circuit Capable of Reducing Skew of Output Data
 [Applicant]	
Name:	Samsung Electronics Co., Ltd.
Applicant code:	1-1998-104271-3
 [Attorney]	
Name:	Young-pil Lee
Attorney's code:	9-1998-000334-6
Reg. No. of General Power of Attorney:	1999-009556-9
Name:	Sang-bin Jeong
Attorney's code:	9-1998-000541-1
Reg. No. of General Power of Attorney:	1999-009617-5
 [Inventor]	
Name:	Joung-yeal Kim
I.D. No.	720911-1789919
Zip Code:	442-380
Address:	201-1601, Woncheon Jugong 2-danji Apt., Woncheon-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea
Nationality:	Republic of Korea
[Request for Examination]	Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
Attorney

Young-pil Lee (seal)
Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	14 Sheet(s)	14,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	15 Claim(s)	589,000 won
Total:		632,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0067745
Application Number

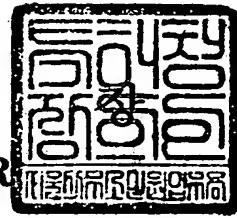
출 원 년 월 일 : 2002년 11월 04일
Date of Application NOV 04, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 12 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.11.04
【국제특허분류】	H01L
【발명의 명칭】	출력 데이터의 스케이프 감소를 위한 출력버퍼 회로
【발명의 영문명칭】	Output buffer circuit capable of reducing skew of output data
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김정열
【성명의 영문표기】	KIM, Joung Yeol
【주민등록번호】	720911-1789919
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 원천주공2단지아파트 201-1601
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020020067745

출력 일자: 2003/6/13

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】	632,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

PVT가 변화하더라도 출력 데이터의 스큐를 감소시킬 수 있는 출력버퍼 회로가 개시된다. 상기 출력버퍼 회로는, 풀업 트랜지스터, 풀다운 트랜지스터, 상기 풀업 트랜지스터를 구동하는 낸드게이트, 및 상기 풀다운 트랜지스터를 구동하는 노아게이트를 구비하며, 특히 전원전압으로부터 상기 낸드게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수가 상기 전원전압으로부터 상기 노아게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수와 동일하고, 상기 낸드게이트의 출력단으로부터 접지전압까지의 경로에서의 엔모스 트랜지스터 개수가 상기 노아게이트의 출력단으로부터 상기 접지전압까지의 경로에서의 엔모스 트랜지스터 개수와 동일한 것을 특징으로 한다.

【대표도】

도 3



【명세서】

【발명의 명칭】

출력 데이터의 스큐를 감소시킬 수 있는 출력버퍼 회로{Output buffer circuit capable of reducing skew of output data}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 한 개의 제어신호를 갖는 종래의 출력버퍼 회로를 나타내는 회로도이다.

도 2는 두 개의 제어신호를 갖는 종래의 출력버퍼 회로를 나타내는 회로도이다.

도 3은 한 개의 제어신호를 갖는 본 발명의 제1실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

도 4는 한 개의 제어신호를 갖는 본 발명의 제2실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

도 5는 한 개의 제어신호를 갖는 본 발명의 제3실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

도 6은 두 개의 제어신호를 갖는 본 발명의 제4실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

도 7은 두 개의 제어신호를 갖는 본 발명의 제5실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.



도 8은 두 개의 제어신호를 갖는 본 발명의 제6실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체장치에 관한 것으로, 특히 반도체장치의 출력버퍼 회로에 관한 것이다.

<11> 반도체장치에서는 큰 부하를 구동하기 위하여 버퍼회로가 사용되며 특히 매우 큰 부하가 연결되는 출력핀을 구동하는 회로를 출력버퍼 회로라 한다. 도 1은 한 개의 제어신호(CNT)를 갖는 종래의 출력버퍼 회로를 나타내고 도 2는 두 개의 제어신호(CNT1,CNT2)를 갖는 종래의 출력버퍼 회로를 나타낸다. 도 1 및 도 2에서와 같이 출력버퍼 회로는 풀업 트랜지스터(11), 풀다운 트랜지스터(13), 풀업 트랜지스터를 구동하는 낸드게이트(15,25), 및 풀다운 트랜지스터를 구동하는 노아게이트(17,27)를 구비한다.

<12> 그런데 출력버퍼 회로에서는 출력핀(DQ)을 통해 출력되는 데이터의 하이/로우 스יים 줄이기 위해서 낸드게이트(15,25)의 특성과 노아게이트(17,27)의 특성을 동일하게 유지하는 것이 매우 중요하다. 그러나 도 1 및 도 2에 도시된 종래의 출력버퍼 회로에서는 설계시 트랜지스터들의 크기를 조절하여 낸드게이트의 특성과 노아게이트의 특성을 동일하게 설계하였다 하더라도 PVT(Process, Voltage, Temperature) 변화가 발생되면 두 특성이 달라질 수 있다.



<13> 특히 데이터(DATA)가 분리되어 낸드게이트(15,25) 및 노아게이트(17,27)로 입력되는 경우에는, 낸드게이트(15,25)의 입력 커패시턴스와 노아게이트(17,27)의 입력 커패시턴스의 차이로 인하여 PVT 변화에 따라 낸드게이트의 특성과 노아게이트의 특성이 더욱 달라질 수 있다. 낸드게이트(15,25)의 특성과 노아게이트(17,27)의 특성이 다른 경우에 출력핀(DQ)을 통해 출력되는 데이터의 스큐가 커지게 된다.

【발명이 이루고자 하는 기술적 과제】

<14> 따라서 본 발명이 이루고자하는 기술적 과제는, PVT가 변화하더라도 출력 데이터의 스큐를 감소시킬 수 있는 출력버퍼 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 출력버퍼 회로는, 풀업 제어신호에 응답하여 출력단을 풀업시키는 풀업 트랜지스터, 풀다운 제어신호에 응답하여 상기 출력단을 풀다운시키는 풀다운 트랜지스터, 적어도 하나의 제어신호와 데이터를 수신하여 상기 풀업 제어신호를 발생하는 낸드게이트, 및 상기 제어신호의 반전신호와 상기 데이터를 수신하여 상기 풀다운 제어신호를 발생하는 노아게이트를 구비한다.

<16> 특히 제1전원전압으로부터 상기 낸드게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수가 상기 제1전원전압으로부터 상기 노아게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수와 동일하고, 상기 낸드게이트의 출력단으로부터 제2전원전압까지의 경로에서의 엔모스 트랜지스터 개수가 상기 노아게이트의 출력단으로부터 상기 제2전원전압까지의 경로에서의 엔모스 트랜지스터 개수와 동일한 것을 특징으로 한다.



<17> 따라서 본 발명에 따른 출력버퍼 회로에서는 상기 낸드게이트와 상기 노아게이트 내의 피모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있으며 또한 엔모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있다. 그러므로 부수적으로 상기 낸드게이트의 입력 커패시턴스와 상기 노아게이트의 입력 커패시턴스도 동일하게 유지된다. 따라서 본 발명에 따른 출력버퍼 회로에서는 PVT 변화가 발생되더라도 상기 낸드게이트의 특성과 상기 노아게이트의 특성이 동일하게 유지될 수 있으며 그 결과 상기 출력단을 통해 출력되는 데이터의 스윕가 감소되는 장점이 있다.

<18> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<20> 도 3은 한 개의 제어신호(CNT)를 갖는 본 발명의 제1실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<21> 도 3을 참조하면, 본 발명의 제1실시예에 따른 출력버퍼 회로는, 풀업 트랜지스터(31), 풀다운 트랜지스터(33), 낸드게이트(35), 노아게이트(37), 및 인버터(39)를 구비한다.

<22> 풀업 트랜지스터(31)는 풀업 제어신호(PUC)에 응답하여 출력핀, 즉 출력단(DQ)을 풀업시키고, 풀다운 트랜지스터(33)는 풀다운 제어신호(PDC)에 응답하여 출력단(DQ)을 풀다운시킨다. 낸드게이트(35)는 제어신호(CNT)와 데이터(DATA)를 수신하여 풀업 제어신

호(PUC)를 발생하고, 노아게이트(37)는 제어신호의 반전신호(CNTB) 및 데이터(DATA)를 수신하여 풀다운 제어신호(PDC)를 발생한다.

<23> 낸드게이트(35)는 피모스 트랜지스터(P33), 피모스 트랜지스터(P31), 피모스 트랜지스터(P32), 엔모스 트랜지스터(N31), 및 엔모스 트랜지스터(N32)를 구비한다. 피모스 트랜지스터(P33)는 소오스에 전원전압(VDD)이 인가되고 게이트에 접지전압(VSS)이 인가된다. 피모스 트랜지스터(P31)는 소오스에 피모스 트랜지스터(P33)의 드레인이 연결되고 게이트에 데이터(DATA)가 인가되면 드레인에 낸드게이트(35)의 출력단(01)이 연결된다. 피모스 트랜지스터(P32)는 소오스에 피모스 트랜지스터(P33)의 드레인이 연결되고 게이트에 제어신호(CNT)가 인가되면 드레인에 낸드게이트의 출력단(01)이 연결된다.

<24> 엔모스 트랜지스터(N31)는 드레인에 낸드게이트의 출력단(01)이 연결되고 게이트에 데이터(DATA)가 인가된다. 엔모스 트랜지스터(N32)는 드레인에 엔모스 트랜지스터(N31)의 소오스가 연결되고 게이트에 제어신호(CNT)가 인가되면 소오스에 접지전압(VSS)이 인가된다.

<25> 노아게이트(37)는 피모스 트랜지스터(P34), 피모스 트랜지스터(P35), 엔모스 트랜지스터(N34), 엔모스 트랜지스터(N35), 및 엔모스 트랜지스터(N36)를 구비한다. 피모스 트랜지스터(P34)는 소오스에 전원전압(VDD)이 인가되고 게이트에 제어신호의 반전신호(CNTB)가 인가된다. 피모스 트랜지스터(P35)는 소오스에 피모스 트랜지스터(P34)의 드레인이 연결되고 게이트에 데이터(DATA)가 인가되면 드레인에 노아게이트(37)의 출력단(02)이 연결된다. 엔모스 트랜지스터(N34)는 드레인에 노아게이트의 출력단(02)이 연결되고 게이트에 데이터(DATA)가 인가된다. 엔모스 트랜지스터(N35)는 드레인에 노아게이트의 출력단(02)이 연결되고 게이트에 제어신호의 반전신호(CNTB)가 인가된다. 엔모스

트랜지스터(N36)는 드레인에 엔모스 트랜지스터(N34)의 소오스 및 엔모스 트랜지스터(N35)의 소오스가 공통 연결되고 게이트에 전원전압(VDD)이 인가되면 소오스에 접지전압(VSS)이 인가된다.

<26> 이상에서와 같이 본 발명의 제1실시예에 따른 출력버퍼 회로에서는, 전원전압(VDD)으로부터 낸드게이트(35)의 출력단(01)까지의 경로에서의 피모스 트랜지스터 개수(2개)가 전원전압(VDD)으로부터 노아게이트(37)의 출력단(02)까지의 경로에서의 피모스 트랜지스터 개수(2개)와 동일하다. 다시 말해 전원전압(VDD)과 낸드게이트(35)의 출력단(01) 사이에 직렬로 연결되는 피모스 트랜지스터의 개수가 전원전압(VDD)과 노아게이트(37)의 출력단(02) 사이에 직렬로 연결되는 피모스 트랜지스터 개수와 동일하다.

<27> 또한 낸드게이트(35)의 출력단(01)으로부터 접지전압(VSS)까지의 경로에서의 엔모스 트랜지스터 개수(2개)가 노아게이트(37)의 출력단(02)으로부터 접지전압(VSS)까지의 경로에서의 엔모스 트랜지스터 개수(2개)와 동일하다. 다시 말해 낸드게이트(35)의 출력단(01)과 접지전압(VSS) 사이에 직렬로 연결되는 엔모스 트랜지스터의 개수가 노아게이트(37)의 출력단(02)과 접지전압(VSS) 사이에 직렬로 연결되는 엔모스 트랜지스터 개수와 동일하다.

<28> 즉 도 1에 도시된 종래의 회로와 비교하여 낸드게이트(35)에서는 피모스 트랜지스터(P33)가 추가되고 노아게이트(37)에서는 엔모스 트랜지스터(N36)가 추가된다.

<29> 따라서 낸드게이트(35)와 노아게이트(37) 내의 피모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있으며 또한 엔모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있다. 그러므로 부수적으로 낸드게이트(35)의 입력 커패시턴스와 노아게이트(37)의 입력 커패시턴스도 동일하게 유지된다. 그 결과 본 발명의 제1실시예에 따른 출력버퍼

회로에서는 PVT 변화가 발생되더라도 낸드게이트(35)의 특성과 노아게이트(37)의 특성이 동일하게 유지될 수 있으며 이에 따라 출력핀(DQ)을 통해 출력되는 데이터의 스큐가 감소된다.

<30> 도 4는 한 개의 제어신호(CNT)를 갖는 본 발명의 제2실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<31> 도 4를 참조하면, 본 발명의 제2실시예에 따른 출력버퍼 회로에서는 낸드게이트(45)가 도 3에 도시된 낸드게이트(35)와 비교하여, 드레인에 낸드게이트(45)의 출력단(03)이 연결되고 게이트에 접지전압(VSS)이 인가되며 소오스에 엔모스 트랜지스터(N31)의 소오스가 연결되는 엔모스 트랜지스터(N33)를 더 구비한다. 또한 노아게이트(47)는 도 3에 도시된 노아게이트(37)와 비교하여, 소오스에 피모스 트랜지스터(P34)의 드레인이 연결되고 게이트에 전원전압(VDD)이 인가되며 드레인에 노아게이트(47)의 출력단(04)이 연결되는 피모스 트랜지스터(P36)를 더 구비한다.

<32> 따라서 제2실시예에 따른 출력버퍼 회로에서는, 낸드게이트(45)의 출력단(03)에 연결되는 피모스 트랜지스터의 개수(2개)와 노아게이트(47)의 출력단(04)에 연결되는 피모스 트랜지스터의 개수(2개)가 동일하다. 또한 낸드게이트(45)의 출력단(03)에 연결되는 엔모스 트랜지스터의 개수(2개)와 노아게이트(47)의 출력단(04)에 연결되는 엔모스 트랜지스터의 개수(2개)가 동일하다.

<33> 또한 낸드게이트(45)와 노아게이트(47)의 내부 노드들도 모두 거의 동일한 커패시턴스를 가진다.

<34> 이에 따라 낸드게이트의 출력단(03)의 커패시턴스와 노아게이트의 출력단(04)의 커패시턴스가 거의 동일해 진다. 그 결과 본 발명의 제2실시예에 따른 출력버퍼 회로에서 는 제1실시예와 비교하여 낸드게이트(45)의 특성과 노아게이트(47)의 특성이 더욱 동일하게 유지된다.

<35> 도 5는 한 개의 제어신호(CNT)를 갖는 본 발명의 제3실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<36> 도 5를 참조하면, 본 발명의 제3실시예에 따른 출력버퍼 회로에서는 낸드게이트(35)가 도 3에 도시된 것과 동일한 구성을 가지며 노아게이트(47)가 도 4에 도시된 것과 동일한 구성을 갖는다.

<37> 제3실시예에 따른 출력버퍼 회로에서는, 낸드게이트(35)의 출력단(05)에 연결되는 피모스 트랜지스터의 개수(2개)와 노아게이트(47)의 출력단(06)에 연결되는 피모스 트랜지스터의 개수(2개)가 동일하지만 낸드게이트(35)의 출력단(05)에 연결되는 엔모스 트랜지스터의 개수(1개)와 노아게이트(47)의 출력단(06)에 연결되는 엔모스 트랜지스터의 개수(2개)가 다르다.

<38> 따라서 제3실시예에 따른 출력버퍼 회로에서는 피모스 트랜지스터(P36)의 크기를 조절함으로써 낸드게이트(35)의 출력단(05)의 커패시턴스와 노아게이트(47)의 출력단(06)의 커패시턴스가 거의 동일하게 유지된다. 예컨대 피모스 트랜지스터들(P31, P32, P35)의 크기가 20 μ m이고 엔모스 트랜지스터들(N31, N34, N35)의 크기가 8 μ m일 경우 피모스 트랜지스터(P36)의 크기는 12 μ m로 결정된다. 따라서 제3실시예에 따른 출력버퍼 회로는 도 4의 제2실시예에 따른 출력버퍼 회로와 거의 동일한 효과를 갖는다.

<39> 도 6은 두 개의 제어신호(CNT1,CNT2))를 갖는 본 발명의 제4실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<40> 도 6을 참조하면, 본 발명의 제4실시예에 따른 출력버퍼 회로는, 풀업 트랜지스터(31), 풀다운 트랜지스터(33), 낸드게이트(65), 노아게이트(67), 및 인버터들(68,69)를 구비한다.

<41> 풀업 트랜지스터(31)는 풀업 제어신호(PUC)에 응답하여 출력핀, 즉 출력단(DQ)을 풀업시키고, 풀다운 트랜지스터(33)는 풀다운 제어신호(PDC)에 응답하여 출력단(DQ)을 풀다운시킨다. 낸드게이트(65)는 제1 및 제2제어신호(CNT1,CNT2)와 데이터(DATA)를 수신하여 풀업 제어신호(PUC)를 발생하고, 노아게이트(67)는 제1제어신호의 반전신호(CNT1B), 제2제어신호의 반전신호(CNT2B) 및 데이터(DATA)를 수신하여 풀다운 제어신호(PDC)를 발생한다.

<42> 낸드게이트(65)는 피모스 트랜지스터들(P61-P65) 및 엔모스 트랜지스터들(N61-N63)을 구비한다. 피모스 트랜지스터(P64)는 소오스에 전원전압(VDD)이 인가되고 게이트에 접지전압(VSS)이 인가된다. 피모스 트랜지스터(P65)는 소오스에 피모스 트랜지스터(P64)의 드레인이 연결되고 게이트에 접지전압(VSS)이 인가된다. 피모스 트랜지스터(P61)는 소오스에 피모스 트랜지스터(P65)의 드레인이 연결되고 게이트에 데이터(DATA)가 인가되어 드레인에 낸드게이트(65)의 출력단(07)이 연결된다. 피모스 트랜지스터(P62)는 소오스에 피모스 트랜지스터(P65)의 드레인이 연결되고 게이트에 제1제어신호(CNT1)가 인가되어 드레인에 낸드게이트의 출력단(07)이 연결된다. 피모스 트랜지스터(P63)는 소오스에 피모스 트랜지스터(P65)의 드레인이 연결되고 게이트에 제2제어신호(CNT2)가 인가되어 드레인에 낸드게이트의 출력단(07)이 연결된다.

<43> 엔모스 트랜지스터(N61)는 드레인에 낸드게이트의 출력단(07)이 연결되고 게이트에 데이터(DATA)가 인가된다. 엔모스 트랜지스터(N62)는 드레인에 엔모스 트랜지스터(N61)의 소오스가 연결되고 게이트에 제1제어신호(CNT1)가 인가된다. 엔모스 트랜지스터(N63)는 드레인에 엔모스 트랜지스터(N62)의 소오스가 연결되고 게이트에 제2제어신호(CNT2)가 인가되며 소오스에 접지전압(VSS)이 인가된다.

<44> 노아게이트(67)는 피모스 트랜지스터들(P66-P68) 및 엔모스 트랜지스터들(N66-N70)을 구비한다. 피모스 트랜지스터(P66)는 소오스에 전원전압(VDD)이 인가되고 게이트에 데이터(DATA)가 인가된다. 피모스 트랜지스터(P67)는 소오스에 피모스 트랜지스터(P66)의 드레인이 연결되고 게이트에 제1제어신호의 반전신호(CNT1B)가 인가된다. 피모스 트랜지스터(P68)는 소오스에 피모스 트랜지스터(P67)의 드레인이 연결되고 게이트에 제2제어신호의 반전신호(CNT2B)가 인가되며 드레인에 노아게이트(67)의 출력단(08)이 연결된다.

<45> 엔모스 트랜지스터(N66)는 드레인에 노아게이트의 출력단(08)이 연결되고 게이트에 데이터(DATA)가 인가된다. 엔모스 트랜지스터(N67)는 드레인에 노아게이트의 출력단(08)이 연결되고 게이트에 제1제어신호의 반전신호(CNT1B)가 인가된다. 엔모스 트랜지스터(N68)는 드레인에 노아게이트의 출력단(08)이 연결되고 게이트에 제2제어신호의 반전신호(CNT2B)가 인가된다. 엔모스 트랜지스터(N69)는 드레인에 엔모스 트랜지스터들(N66,N67,N68)의 소오스들이 공통 연결되고 게이트에 전원전압(VDD)이 인가된다. 엔모스 트랜지스터(N70)는 드레인에 엔모스 트랜지스터(N69)의 소오스가 연결되고 게이트에 전원전압(VDD)이 인가되며 소오스에 접지전압(VSS)이 인가된다.

<46> 이상에서와 같이 본 발명의 제4실시예에 따른 출력버퍼 회로에서는, 전원전압(VDD)으로부터 낸드게이트(65)의 출력단(07)까지의 경로에서의 피모스 트랜지스터 개수(3개)가 전원전압(VDD)으로부터 노아게이트(67)의 출력단(08)까지의 경로에서의 피모스 트랜지스터 개수(3개)와 동일하다. 다시 말해 전원전압(VDD)과 낸드게이트(65)의 출력단(07)사이에 직렬로 연결되는 피모스 트랜지스터의 개수가 전원전압(VDD)과 노아게이트(67)의 출력단(08) 사이에 직렬로 연결되는 피모스 트랜지스터 개수와 동일하다.

<47> 또한 낸드게이트(65)의 출력단(07)으로부터 접지전압(VSS)까지의 경로에서의 엔모스 트랜지스터 개수(3개)가 노아게이트(67)의 출력단(08)으로부터 접지전압(VSS)까지의 경로에서의 엔모스 트랜지스터 개수(3개)와 동일하다. 다시 말해 낸드게이트(65)의 출력단(07)과 접지전압(VSS) 사이에 직렬로 연결되는 엔모스 트랜지스터의 개수가 노아게이트(67)의 출력단(08)과 접지전압(VSS) 사이에 직렬로 연결되는 엔모스 트랜지스터 개수와 동일하다.

<48> 즉 도 3에 도시된 종래의 회로와 비교하여 낸드게이트(65)에서는 피모스 트랜지스터들(P64, P65)가 추가되고 노아게이트(67)에서는 엔모스 트랜지스터들(N69, N70)가 추가된다.

<49> 따라서 낸드게이트(65)와 노아게이트(67) 내의 피모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있으며 또한 엔모스 트랜지스터들의 크기를 모두 동일하게 가져갈 수 있다. 그러므로 부수적으로 낸드게이트(65)의 입력 커패시턴스와 노아게이트(67)의 입력 커패시턴스도 동일하게 유지된다. 그 결과 본 발명의 제4실시예에 따른 출력버퍼 회로에서는 PVT 변화가 발생되더라도 낸드게이트(65)의 특성과 노아게이트(67)의 특성이

동일하게 유지될 수 있으며 이에 따라 출력핀(DQ)을 통해 출력되는 데이터의 스큐가 감소된다.

<50> 도 7은 두 개의 제어신호(CNT1,CNT2))를 갖는 본 발명의 제5실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<51> 도 7을 참조하면, 본 발명의 제5실시예에 따른 출력버퍼 회로에서는 낸드게이트(75)가 도 6에 도시된 낸드게이트(65)와 비교하여, 드레인에 낸드게이트(75)의 출력단(09)이 연결되고 게이트에 접지전압(VSS)이 인가되며 소오스에 엔모스 트랜지스터(N61)의 소오스가 연결되는 엔모스 트랜지스터(N64), 및 드레인에 낸드게이트의 출력단(09)이 연결되고 게이트에 접지전압(VSS)이 인가되며 소오스에 엔모스 트랜지스터(N61)의 소오스가 연결되는 엔모스 트랜지스터(N65)를 더 구비한다.

<52> 또한 노아게이트(77)는 도 6에 도시된 노아게이트(67)와 비교하여, 소오스에 피모스 트랜지스터(P67)의 드레인이 연결되고 게이트에 전원전압(VDD)이 인가되며 드레인에 노아게이트(77)의 출력단(010)이 연결되는 피모스 트랜지스터(P69), 및 소오스에 피모스 트랜지스터(P67)의 드레인이 연결되고 게이트에 전원전압(VDD)이 인가되며 드레인에 노아게이트의 출력단(010)이 연결되는 피모스 트랜지스터(P70)를 더 구비한다.

<53> 따라서 제5실시예에 따른 출력버퍼 회로에서는, 낸드게이트(75)의 출력단(09)에 연결되는 피모스 트랜지스터의 개수(3개)와 노아게이트(77)의 출력단(010)에 연결되는 피모스 트랜지스터의 개수(3개)가 동일하다. 또한 낸드게이트(75)의 출력단(09)에 연결되는 엔모스 트랜지스터의 개수(3개)와 노아게이트(77)의 출력단(010)에 연결되는 엔모스 트랜지스터의 개수(3개)가 동일하다.

<54> 또한 낸드게이트(75)와 노아게이트(77)의 내부 노드들도 모두 거의 동일한 커패시턴스를 가진다.

<55> 이에 따라 낸드게이트(75)의 출력단(09)의 커패시턴스와 노아게이트(77)의 출력단(010)의 커패시턴스가 거의 동일해 진다. 그 결과 도 7의 제5실시예에 따른 출력버퍼 회로에서는 도 6의 제4실시예와 비교하여 낸드게이트(75)의 특성과 노아게이트(77)의 특성이 더욱 동일하게 유지된다.

<56> 도 8은 두 개의 제어신호(CNT1,CNT2)를 갖는 본 발명의 제6실시예에 따른 출력버퍼 회로를 나타내는 회로도이다.

<57> 도 8을 참조하면, 본 발명의 제6실시예에 따른 출력버퍼 회로에서는 낸드게이트(65)가 도 6에 도시된 것과 동일한 구성을 가지며 노아게이트(77)가 도 7에 도시된 것과 동일한 구성을 갖는다.

<58> 제6실시예에 따른 출력버퍼 회로에서는, 낸드게이트(65)의 출력단(011)에 연결되는 피모스 트랜지스터의 개수(3개)와 노아게이트(77)의 출력단(012)에 연결되는 피모스 트랜지스터의 개수(3개)가 동일하지만 낸드게이트(65)의 출력단(011)에 연결되는 엔모스 트랜지스터의 개수(1개)와 노아게이트(77)의 출력단(012)에 연결되는 엔모스 트랜지스터의 개수(3개)가 다르다.

<59> 따라서 제6실시예에 따른 출력버퍼 회로에서는 피모스 트랜지스터들(P69,P70)의 크기를 조절함으로써 낸드게이트(65)의 출력단(011)의 커패시턴스와 노아게이트(77)의 출력단(012)의 커패시턴스가 거의 동일하게 유지된다. 예컨대 피모스 트랜지스터들(P61,P62,P63,P68)의 크기가 $20\mu m$ 이고 엔모스 트랜지스터들(N61,N66,N67,N68)의 크기가

8 μ m일 경우 피모스 트랜지스터들(P69,P70)의 크기는 12 μ m로 결정된다. 물론 피모스 트랜지스터들(P69,P70)을 하나의 피모스 트랜지스터(이때의 크기는 P69와 P70 크기의 합)로 구성할 수 있음은 자명한 일이다.

<60> 따라서 제6실시예에 따른 출력버퍼 회로는 도 7의 제5실시예에 따른 출력버퍼 회로와 거의 동일한 효과를 갖는다.

<61> 한편 이상에서는 출력핀을 구동하는 출력버퍼 회로를 중심으로 설명되었지만 본 발명의 개념은 출력버퍼 회로뿐만 아니라 반도체장치 내부의 버퍼 회로에도 적용될 수 있음은 자명하다.

<62> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<63> 상술한 바와 같이 본 발명에 따른 출력버퍼 회로에서는 PVT 변화가 발생되더라도 출력버퍼 회로내의 낸드게이트의 특성과 노아게이트의 특성이 동일하게 유지될 수 있다. 그 결과 출력핀을 통해 출력되는 데이터의 스큐가 감소되는 장점이 있다.

【특허청구범위】**【청구항 1】**

풀업 제어신호에 응답하여 출력단을 풀업시키는 풀업 트랜지스터;

풀다운 제어신호에 응답하여 상기 출력단을 풀다운시키는 풀다운 트랜지스터;

적어도 하나의 제어신호와 데이터를 수신하여 상기 풀업 제어신호를 발생하는 낸드 게이트; 및

상기 제어신호의 반전신호와 상기 데이터를 수신하여 상기 풀다운 제어신호를 발생하는 노아게이트를 구비하고,

제1전원전압으로부터 상기 낸드게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수가 상기 제1전원전압으로부터 상기 노아게이트의 출력단까지의 경로에서의 피모스 트랜지스터 개수와 동일하고, 상기 낸드게이트의 출력단으로부터 제2전원전압까지의 경로에서의 엔모스 트랜지스터 개수가 상기 노아게이트의 출력단으로부터 상기 제2전원전압까지의 경로에서의 엔모스 트랜지스터 개수와 동일한 것을 특징으로 하는 출력버퍼회로.

【청구항 2】

제1항에 있어서, 상기 낸드게이트는,

소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제2전원전압이 인가되는 제1피모스 트랜지스터;

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되면 드레인에 상기 낸드게이트의 출력단이 연결되는 제2피모스 트랜지스터;

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제어신호가 인가되면 드레인에 상기 낸드게이트의 출력단이 연결되는 제3피모스 트랜지스터; 드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터; 및

드레인에 상기 제1엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제어신호가 인가되면 소오스에 상기 제2전원전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 3】

제1항에 있어서, 상기 노아게이트는,
소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제어신호의 반전신호가 인가되는 제1피모스 트랜지스터;

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되면 드레인에 상기 노아게이트의 출력단이 연결되는 제2피모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 제어신호의 반전신호가 인가되는 제1엔모스 트랜지스터;

드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제2엔모스 트랜지스터; 및

드레인에 상기 제1엔모스 트랜지스터의 소오스 및 상기 제2엔모스 트랜지스터의 소오스가 공통 연결되고 게이트에 상기 제1전원전압이 인가되면 소오스에 상기 제2전원전압이 인가되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 4】

제2항에 있어서, 상기 낸드게이트는,

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제3엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 5】

제3항에 있어서, 상기 노아게이트는,

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원전압이 인가되며 드레인에 상기 노아게이트의 출력단이 연결되는 제3피모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 6】

제1항에 있어서, 상기 낸드게이트는,

소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제2전원전압이 인가되는 제1피모스 트랜지스터;

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제2전원전압이 인가되는 제2피모스 트랜지스터;

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되며 드레인에 상기 낸드게이트의 출력단이 연결되는 제3피모스 트랜지스터;

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 제1제어신호가 인가되며 드레인에 상기 낸드게이트의 출력단이 연결되는 제4피모스 트랜지스터;

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 제2제어신호가 인가되며 드레인에 상기 낸드게이트의 출력단이 연결되는 제5피모스 트랜지스터;

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터;

드레인에 상기 제1엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제1제어신호가 인가되는 제2엔모스 트랜지스터; 및

드레인에 상기 제2엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제2제어신호가 인가되며 소오스에 상기 제2전원전압이 인가되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 7】

제1항에 있어서, 상기 노아게이트는,
소오스에 상기 제1전원전압이 인가되고 게이트에 상기 데이터가 인가되는 제1피모스 트랜지스터;

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 제1제어신호의 반전신호가 인가되는 제2피모스 트랜지스터;

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 제2제어신호의 반전신호가 인가되며 드레인에 상기 노아게이트의 출력단이 연결되는 제3피모스 트랜지스터;

드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터;

드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 제1제어신호의 반전신호가 인가되는 제2엔모스 트랜지스터;

드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 제2제어신호의 반전신호가 인가되는 제3엔모스 트랜지스터;

드레인에 상기 제1 내지 제3엔모스 트랜지스터들의 소오스들이 공통 연결되고 게이트에 상기 제1전원전압이 인가되는 제4엔모스 트랜지스터; 및

드레인에 상기 제4엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제1전원전압이 인가되며 소오스에 상기 제2전원전압이 인가되는 제5엔모스 트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 8】

제6항에 있어서, 상기 낸드게이트는,

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제4엔모스 트랜지스터; 및

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제5엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 9】

제7항에 있어서, 상기 노아게이트는,

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원 전압이 인가되면 드레인에 상기 노아게이트의 출력단이 연결되는 제4피모스 트랜지스터; 및

소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원 전압이 인가되면 드레인에 상기 노아게이트의 출력단이 연결되는 제5피모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 10】

풀업 제어신호에 응답하여 출력단을 풀업시키는 풀업 트랜지스터; 풀다운 제어신호에 응답하여 상기 출력단을 풀다운시키는 풀다운 트랜지스터; 제어신호와 데이터를 수신하여 상기 풀업 제어신호를 발생하는 낸드게이트; 및 상기 제어신호의 반전신호와 상기 데이터를 수신하여 상기 풀다운 제어신호를 발생하는 노아게이트를 구비하며,

상기 낸드게이트는, 소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제2전원 전압이 인가되는 제1피모스 트랜지스터; 소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되면 드레인에 상기 낸드게이트의 출력단이 연결되는 제2피모스 트랜지스터; 소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제어신호가 인가되면 드레인에 상기 낸드게이트의 출력단이 연결되는 제3피모스 트랜지스터; 드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터; 및 드레인에 상기 제1엔모스 트랜지스터의 소

오스가 연결되고 게이트에 상기 제어신호가 인가되면 소오스에 상기 제2전원전압이 인가되는 제2엔모스 트랜지스터를 포함하여 구성되고,

상기 노아게이트는, 소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제어신호의 반전신호가 인가되는 제1피모스 트랜지스터; 소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되면 드레인에 상기 노아게이트의 출력단이 연결되는 제2피모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제2엔모스 트랜지스터; 및 드레인에 상기 제1엔모스 트랜지스터의 소오스 및 상기 제2엔모스 트랜지스터의 소오스가 공통 연결되고 게이트에 상기 제1전원전압이 인가되면 소오스에 상기 제2전원전압이 인가되는 제3엔모스 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 출력버퍼회로.

【청구항 11】

제10항에 있어서, 상기 낸드게이트는,

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제3엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼회로.

【청구항 12】

제10항에 있어서, 상기 노아게이트는,

소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원 전압이 인가되면 드레인에 상기 노아게이트의 출력단이 연결되는 제3피모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【청구항 13】

풀업 제어신호에 응답하여 출력단을 풀업시키는 풀업 트랜지스터;

풀다운 제어신호에 응답하여 상기 출력단을 풀다운시키는 풀다운 트랜지스터;

제1제어신호, 제2제어신호, 및 데이터를 수신하여 상기 풀업 제어신호를 발생하는
낸드게이트; 및

상기 제1제어신호의 반전신호, 상기 제2제어신호의 반전신호, 및 상기 데이터를
수신하여 상기 풀다운 제어신호를 발생하는 노아게이트를 구비하며,

상기 낸드게이트는, 소오스에 상기 제1전원전압이 인가되고 게이트에 상기 제2전원
전압이 인가되는 제1피모스 트랜지스터; 소오스에 상기 제1피모스 트랜지스터의 드레인
이 연결되고 게이트에 상기 제2전원전압이 인가되는 제2피모스 트랜지스터; 소오스에 상
기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 데이터가 인가되어 드레인
에 상기 낸드게이트의 출력단이 연결되는 제3피모스 트랜지스터; 소오스에 상기 제2피모
스 트랜지스터의 드레인이 연결되고 게이트에 제1제어신호가 인가되어 드레인에 상기 낸
드게이트의 출력단이 연결되는 제4피모스 트랜지스터; 소오스에 상기 제2피모스 트랜지
스터의 드레인이 연결되고 게이트에 제2제어신호가 인가되어 드레인에 상기 낸드게이트
의 출력단이 연결되는 제5피모스 트랜지스터; 드레인에 상기 낸드게이트의 출력단이 연
결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터; 드레인에 상기 제1엔모

스 트랜지스터의 소오스가 연결되고 게이트에 상기 제1제어신호가 인가되는 제2엔모스 트랜지스터; 및 드레인에 상기 제2엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제2제어신호가 인가되면 소오스에 상기 제2전원전압이 인가되는 제3엔모스 트랜지스터를 포함하여 구성되고,

상기 노아게이트는, 소오스에 상기 제1전원전압이 인가되고 게이트에 상기 데이터가 인가되는 제1피모스 트랜지스터; 소오스에 상기 제1피모스 트랜지스터의 드레인이 연결되고 게이트에 제1제어신호의 반전신호가 인가되는 제2피모스 트랜지스터; 소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 제2제어신호의 반전신호가 인가되어 드레인에 상기 노아게이트의 출력단이 연결되는 제3피모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 데이터가 인가되는 제1엔모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 제1제어신호의 반전신호가 인가되는 제2엔모스 트랜지스터; 드레인에 상기 노아게이트의 출력단이 연결되고 게이트에 상기 제2제어신호의 반전신호가 인가되는 제3엔모스 트랜지스터; 드레인에 상기 제1 내지 제3엔모스 트랜지스터들의 소오스들이 공통 연결되고 게이트에 상기 제1전원전압이 인가되는 제4엔모스 트랜지스터; 및 드레인에 상기 제4엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 제1전원전압이 인가되어 소오스에 상기 제2전원전압이 인가되는 제5엔모스 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 출력버퍼 회로.

【청구항 14】

제13항에 있어서, 상기 낸드게이트는,

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제4엔모스 트랜지스터; 및

드레인에 상기 낸드게이트의 출력단이 연결되고 게이트에 상기 제2전원전압이 인가되며 소오스에 상기 제1엔모스 트랜지스터의 소오스가 연결되는 제5엔모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

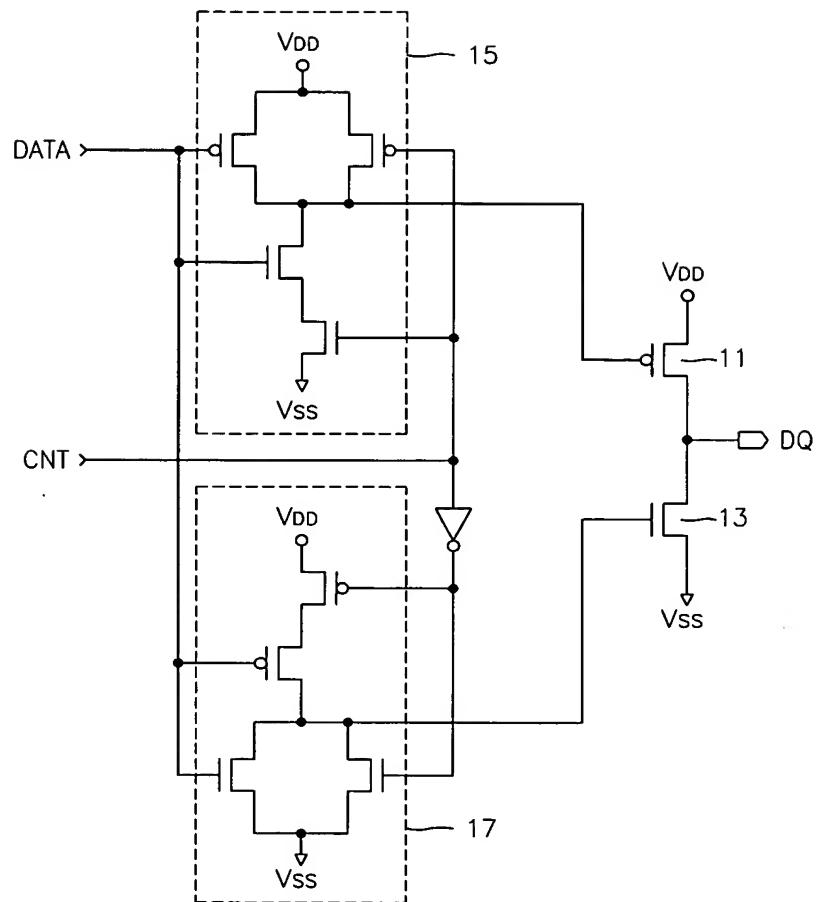
【청구항 15】

제13항에 있어서, 상기 노아게이트는,
소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원전압이 인가되며 드레인에 상기 노아게이트의 출력단이 연결되는 제4피모스 트랜지스터;
및

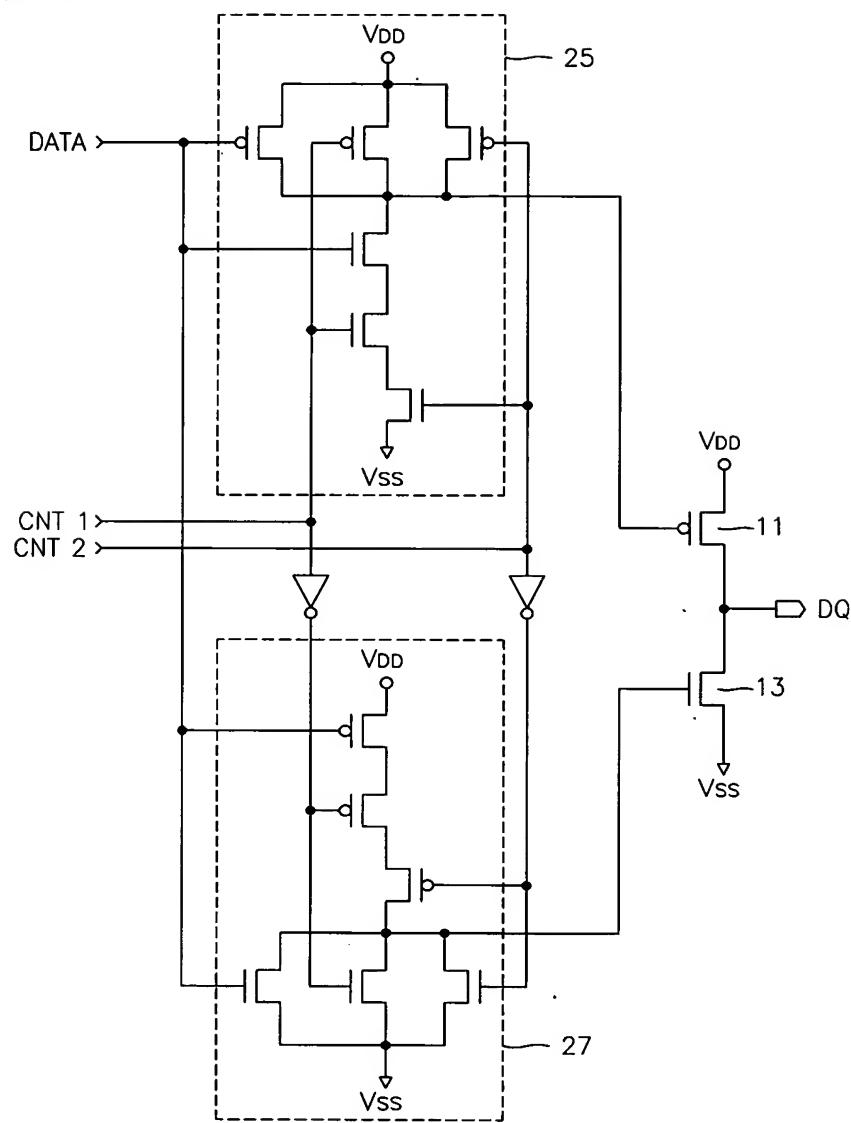
소오스에 상기 제2피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 제1전원전압이 인가되며 드레인에 상기 노아게이트의 출력단이 연결되는 제5피모스 트랜지스터를 더 구비하는 것을 특징으로 하는 출력버퍼 회로.

【도면】

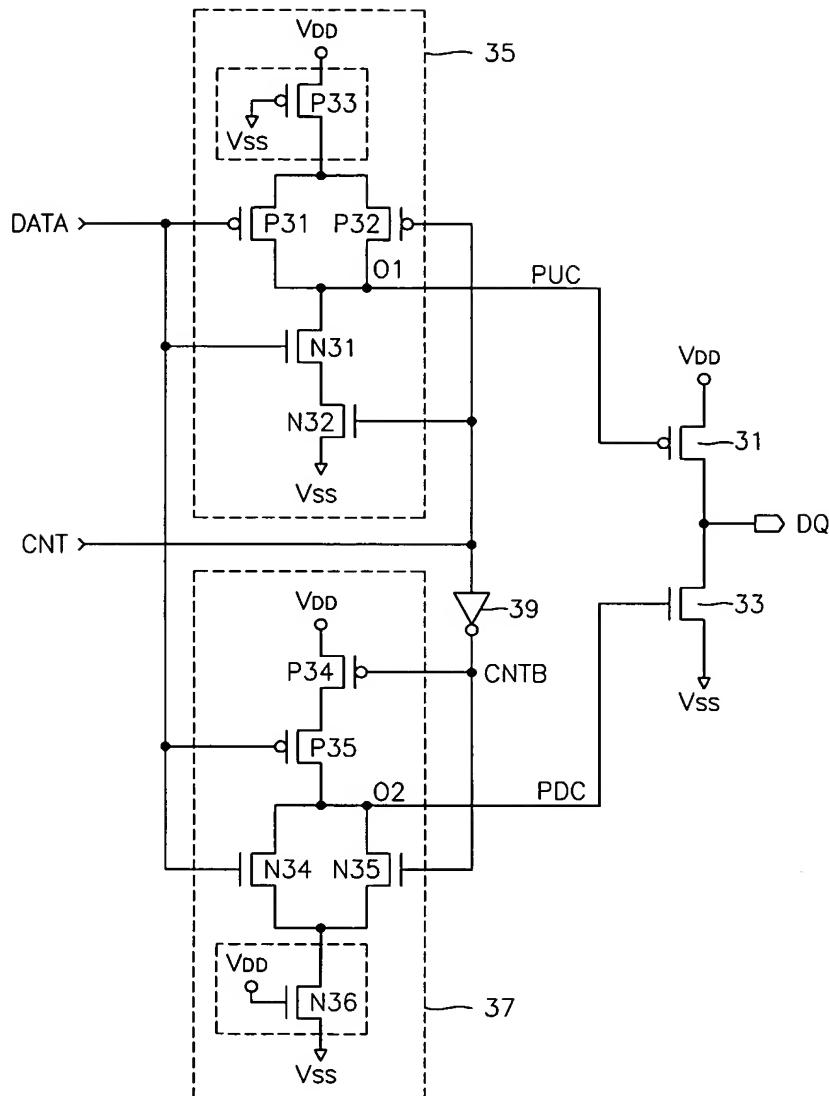
【도 1】



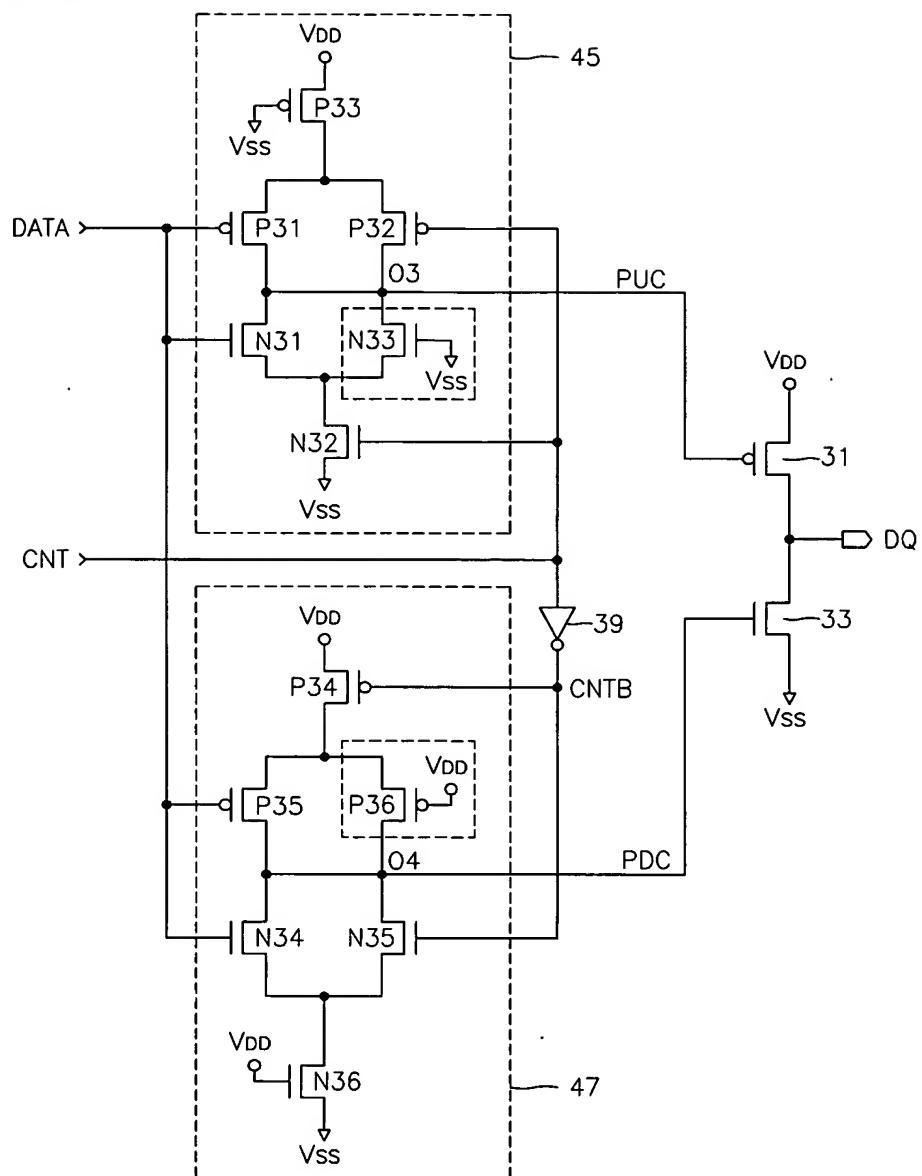
【도 2】



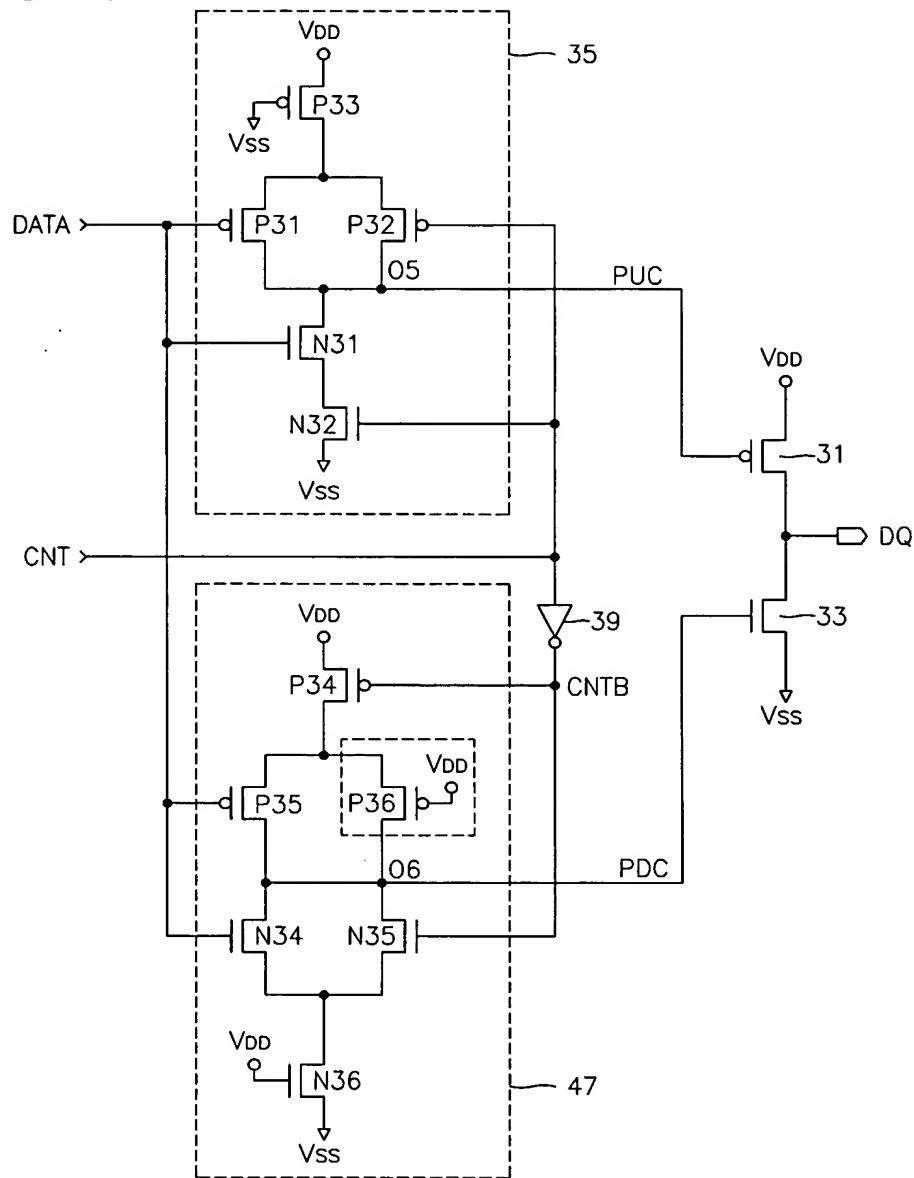
【도 3】



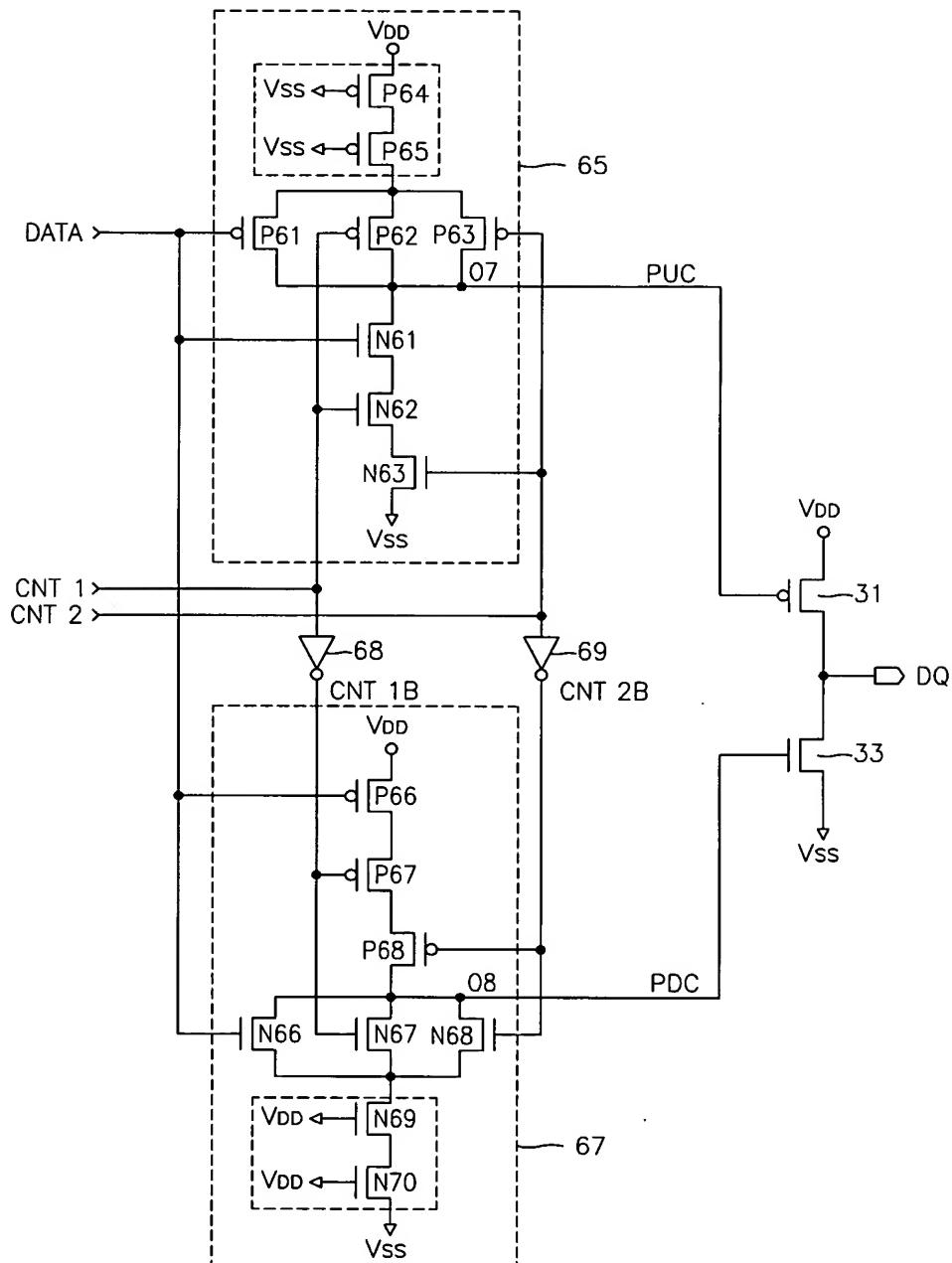
【도 4】



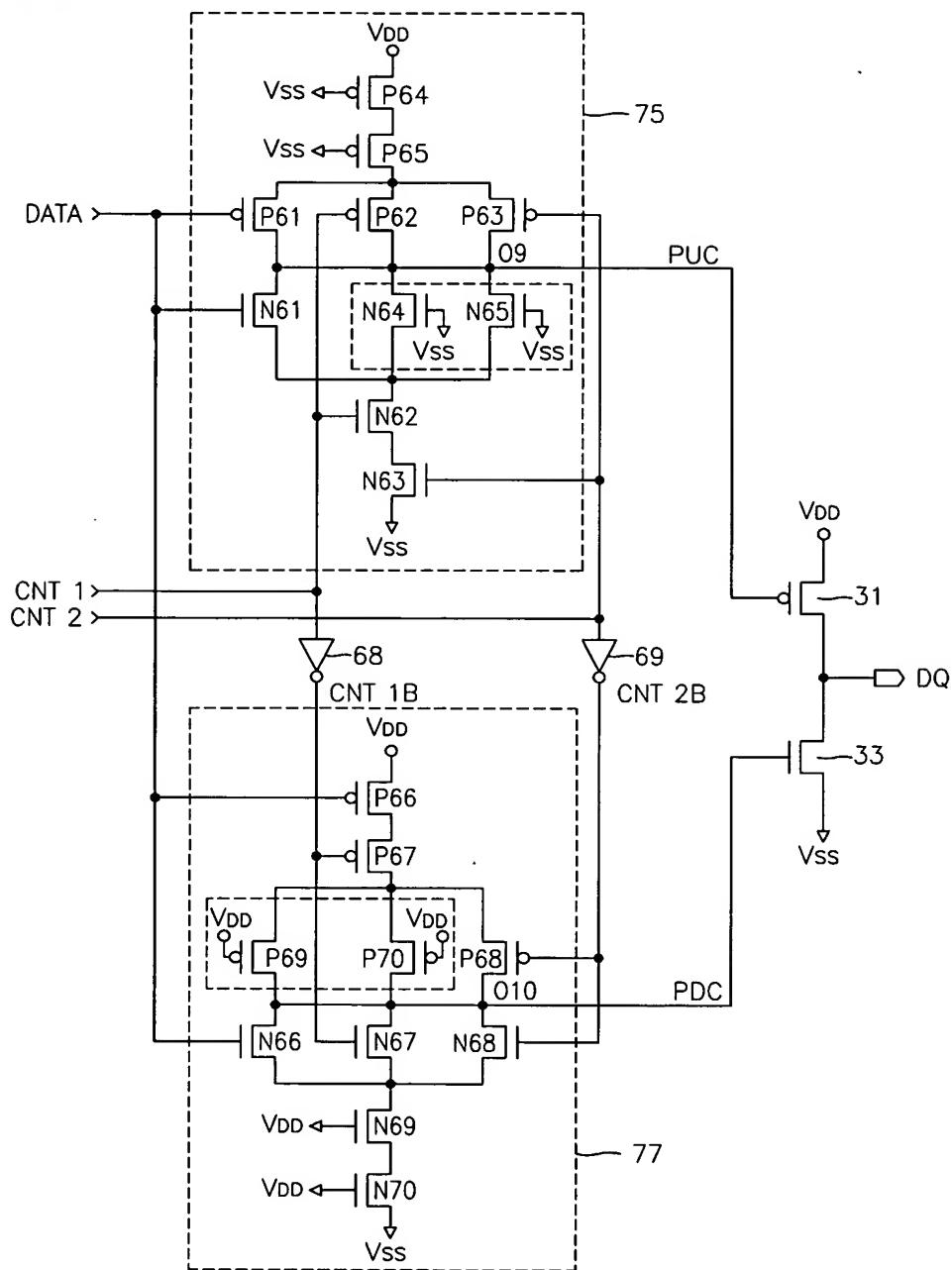
【도 5】



【도 6】



【도 7】



【도 8】

